

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開2000-184698

(P2000-184698A)

(43) 公開日 平成12年6月30日 (2000. 6. 30)

(51) Int.Cl. <sup>1</sup>	識別記号	F I	特コード (参考)
H 0 2 M 3/155		H 0 2 M 3/155	X 5 H 7 3 0
3/28		3/28	X

審査請求 未請求 請求項の数 3 O L (全 7 頁)

(21) 出願番号 特願平10-350304

(22) 出願日 平成10年12月9日 (1998. 12. 9)

(71) 出願人 000006231

株式会社村田製作所

京都府長岡京市天神二丁目26番10号

(72) 発明者 松本 匡彦

京都府長岡京市天神二丁目26番10号 株式

会社村田製作所内

Fターム (参考) 5H730 AA14 BB21 BB23 BB43 BB57

DD04 EE02 EE07 EE08 EE10

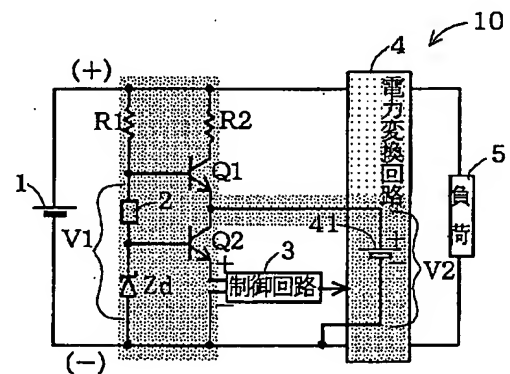
VV01 XC12

(54) 【発明の名称】 スイッチング電源

(57) 【要約】

【課題】 安定した電圧を制御回路に精度よく供給して耐圧に余裕のない電子部品を制御回路に使用することができ、かつ、電力損失を低減して効率を向上したスイッチング電源の補助電源回路を提供する。

【解決手段】 主電源1に、第1抵抗器R1、電圧素子2およびツェナーダイオードZdからなる直列回路と、第2抵抗器R2、第1トランジスタQ1、第2トランジスタQ2およびスイッチング素子の制御回路3からなる直列回路と、がそれぞれ並列に接続され、第1トランジスタQ1の入力端子は第1抵抗器R1と電圧素子2との接続点に接続され、第2トランジスタQ2の入力端子は電圧素子2とツェナーダイオードZdとの接続点に接続され、制御回路3を定常動作させる補助電源4が第1トランジスタQ1および第2トランジスタQ2の接続点と主電源1の基準端子との間に接続されてなるスイッチング電源の補助電源回路。



## 【特許請求の範囲】

【請求項1】 主電源から供給される電力を負荷電源と補助電源の電力に変換する電力変換回路と、前記電力変換回路の動作を制御する制御回路と、起動時には前記主電源から電力を供給し、定常時には前記補助電源から電力を供給する切り替え動作を行って前記制御回路に電力を供給する補助電源回路と、を備えてなるスイッチング電源において、

前記補助電源回路は、前記主電源の両端電圧から第1バイアス電圧およびこの第1バイアス電圧よりも高い電圧を有する第2バイアス電圧を形成する固定バイアス回路と、前記第1バイアス電圧を動作開始電圧とする第2トランジスタと、この第2トランジスタに直列接続され前記第2バイアス電圧を動作開始電圧とする第1トランジスタと、該第1トランジスタと前記第2トランジスタとの接続点に接続された前記補助電源と、よりなり、前記第2バイアス電圧と前記補助電源の出力電圧との電圧差が切替電圧以下になるとき、前記補助電源から前記第2トランジスタを通して前記制御回路に電力を供給することを特徴とするスイッチング電源。

【請求項2】 前記固定バイアス回路がバイアス電圧用抵抗器、電圧素子およびツェナーダイオードの直列回路からなり、該ツェナーダイオードは前記第1バイアス電圧を与え、該ツェナーダイオードと前記電圧素子との加算電圧は前記第2バイアス電圧を与え、前記第1トランジスタのベースが前記バイアス電圧用抵抗器と前記電圧素子との接続点に接続され、前記第2トランジスタのベースが前記電圧素子とツェナーダイオードの接続点に接続され、前記制御回路が前記第2トランジスタのエミッタに接続され、前記補助電源の出力端子が前記第1トランジスタのエミッタと前記第2トランジスタのコレクタとの接続点に接続され、前記補助電源が前記電力変換回路の補助巻線に誘起した電圧を整流平滑して得た電力よりなることを特徴とする請求項1に記載のスイッチング電源。

【請求項3】 前記電圧素子はダイオード、ツェナーダイオードまたは抵抗器からなる請求項1または請求項2に記載のスイッチング電源。

## 【発明の詳細な説明】

【0001】

【発明の属する技術分野】 本発明は、スイッチング素子を制御回路によりオン・オフして、負荷に供給する電力を形成するスイッチング電源に関する。

【0002】

【従来の技術】 従来のスイッチング電源として、図5を参照して、特開平5-260732号公報に開示されているスイッチング電源30、特にその補助電源回路について説明する。

【0003】 直流の主電源Eの両端子に、ツェナーダイオードZdと抵抗器R3とからなる直列回路が接続され

る。起動スイッチ回路s1を構成するPNP形トランジスタQ6と定常動作スイッチ回路s2を構成するPNP形トランジスタQ7とが、それらのエミッタを共通接続し、この共通接続点は制御回路s3のマイナス端子に接続される。なお、この制御回路s3のプラス端子は、主電源Eのプラス端子に接続される。

【0004】 ツェナーダイオードZdと抵抗器R3との接続点に、トランジスタQ6のベースは直接に接続され、また、トランジスタQ7のベースはダイオードD7を介して接続される。したがって、このダイオードD7は、トランジスタQ6とQ7のベース間に接続されたことになる。また、トランジスタQ6のコレクタは抵抗器R4を介して主電源Eのマイナス端子に接続される。また、トランジスタQ7のコレクタは、直流の補助電源Vのマイナス端子に接続される。また、トランジスタQ7のベースとコレクタとの間には抵抗器R5が接続される。

【0005】 電力変換回路p1は、スイッチング素子、1次、2次および3次巻線を有するトランス、整流平滑回路などよりなる。そして、この電力変換回路p1の直流出力電圧が負荷に供給される。

【0006】 補助電源Vは、トランスの3次巻線に誘起した電圧を整流平滑して出力電圧を得ており、主電源Eよりも低い電圧に設定され、定常時に主電源Eに代わって制御回路s3に電力を供給するものである。スイッチング電源30の起動時には補助電源Vは電圧を発生していないので、起動用トランジスタQ6をオンして制御回路s3に主電源Eから電力を供給する。スイッチング電源30の起動後はトランジスタQ7のコレクタに接続されている補助電源Vの電圧が一定値以上になってトランジスタQ7がオンして、トランジスタQ6がオフすることにより、主電源Eに代わって補助電源Vから制御回路s3に、トランジスタQ7を介して安定した電力を供給する。

【0007】 このトランジスタQ6からトランジスタQ7へのオン動作の切り替えは、トランジスタQ6のベースとトランジスタQ7のベース間に接続したダイオードD7の約0.7Vの順方向降下電圧による電圧差を利用して行う。

【0008】 このように、起動時は主電源Eから制御回路s3に電力を供給し、起動後は補助電源Vに切り替えて電力を供給するのは、制御回路s3の動作電圧が主電源Eの電圧よりも低くいためである。もし、この切り替えをせずに、常時主電源Eから電力を制御回路s3に供給すると、トランジスタQ6の電力損失が大きくなる。したがって、定常時には、主電源Eよりも電圧が低く、かつ制御回路s3に必要な電圧よりも大きい電圧を発生する補助電源VからトランジスタQ7を経て制御回路s3に電力を供給することにより、スイッチング電源30の電力損失を小さく抑える。

【0009】

【発明が解決しようとする課題】しかしながら、従来のスイッチング電源30の補助電源回路（補助電源V、トランジスタQ6、Q7などで構成される回路）においては、トランジスタQ6のベースとトランジスタQ7のベース間に約0.7Vの電位差を持たせているので、トランジスタQ6がオンしたときには、トランジスタQ7がオンしトランジスタQ6がオフしたときより、制御回路s3に印加される電圧が約0.7V低下する。

【0010】従って、スイッチング電源30が定常動作の状態、即ち、トランジスタQ6がオフしてトランジスタQ7がオンした状態において、スイッチング電源30の出力が過電流状態になり、図示しない過電流保護回路が働いて、スイッチング電源30の出力電圧が低下した場合には、補助電源Vの3次巻線の出力電圧も低下するので、トランジスタQ6が再度オンして主電源Eから電力が供給され、制御回路s3の電圧が正常動作時より約0.7V低下することになる。

【0011】スイッチング電源30の過電流動作時には、スイッチング素子の電流も大きく、スイッチング素子のゲートに十分なドライブ電圧を供給する必要があるが、従来のスイッチング電源30の補助電源回路では、過電流保護動作時に制御回路s3への印加電圧が約0.7V低下し、それによって、スイッチング素子のゲート駆動電圧も約0.7V低下して、十分な電力を负荷に供給できないという問題がある。

【0012】したがって、従来のスイッチング電源30の補助電源回路では、過電流保護動作時におけるスイッチング素子のゲート駆動電圧不足を防ぐために、定常動作時の制御回路s3の動作電圧をその分高い値に設定する必要がある。そのため、耐圧に余裕のない電子部品を制御回路s3に使用することができなくなる。

【0013】例えば、安価な高速論理ゲートICを用いて、スイッチング電源30の制御回路s3を構成する場合、高速論理ゲートICの絶対最大定格電圧は通常7V程度しかないので、過電流保護動作時にスイッチング素子のゲート駆動電圧を十分に取得できるように制御回路s3の電圧を高めに設定すると、それにより約0.7V電圧が上昇する定常動作時には、電圧ディレーティングを確保することができなくなる。

【0014】そこで、本発明は、安定した電圧を制御回路に精度よく供給して耐圧に余裕のない電子部品を制御回路に使用することができ、かつ、電力損失の少ない回路構成にして効率を向上したスイッチング電源を提供することを目的とする。

【0015】

【課題を解決するための手段】請求項1に記載の発明は、主電源から供給される電力を负荷電源と補助電源の電力に変換する電力変換回路と、前記電力変換回路の動作を制御する制御回路と、起動時には前記主電源から電

力を供給し、定常時には前記補助電源から電力を供給する切り替え動作を行って前記制御回路に電力を供給する補助電源回路と、を備えてなるスイッチング電源において、前記補助電源回路は、前記主電源の両端電圧から第1バイアス電圧およびこの第1バイアス電圧よりも高い電圧を有する第2バイアス電圧を形成する固定バイアス回路と、前記第1バイアス電圧を動作開始電圧とする第2トランジスタと、この第2トランジスタに直列接続され前記第2バイアス電圧を動作開始電圧とする第1トランジスタと、該第1トランジスタと前記第2トランジスタとの接続点に接続された前記補助電源と、よりなり、前記第2バイアス電圧と前記補助電源の出力電圧との電圧差が切替電圧以下になるとき、前記補助電源から前記第2トランジスタを通して前記制御回路に電力を供給することを特徴とするものである。

【0016】請求項2に記載の発明は、前記固定バイアス回路がバイアス電圧用抵抗器、電圧素子およびツェナーダイオードの直列回路からなり、該ツェナーダイオードは前記第1バイアス電圧を与え、該ツェナーダイオードと前記電圧素子との加算電圧は前記第2バイアス電圧を与え、前記第1トランジスタのベースが前記バイアス電圧用抵抗器と前記電圧素子との接続点に接続され、前記第2トランジスタのベースが前記電圧素子とツェナーダイオードの接続点に接続され、前記制御回路が前記第2トランジスタのエミッタに接続され、前記補助電源の出力端子が前記第1トランジスタのエミッタと前記第2トランジスタのコレクタとの接続点に接続され、前記補助電源が前記電力変換回路の補助巻線に誘起した電圧を整流平滑して得た電力よりなることを特徴とするものである。

【0017】これらの請求項1および2に記載の発明は、スイッチング電源の起動時には、主電源から第1トランジスタと第2トランジスタを通して制御回路に電力を供給する。この制御回路は、電力変換回路のスイッチング素子をデューティ制御あるいは周波数制御して主電源の導通時間を制御し、スイッチング電源の出力電圧を一定電圧に制御するものである。スイッチング電源の定常動作時には、主電源より電圧の低い補助電源から第2トランジスタを通して制御回路に電力を供給する。

【0018】この主電源から補助電源への切替は、第1トランジスタのバイアス電圧V1と、この第1トランジスタと第2トランジスタの接続点に接続された補助電源の出力電圧V2とを比較して、電圧差(V1-V2)が切替電圧（例えば、0.7V）以上の場合には、第1トランジスタと第2トランジスタの両方とも導通して、主電源から第1トランジスタと第2トランジスタを通して制御回路に電力が供給される。また、電圧差(V1-V2)が切替電圧以下の場合には、第1トランジスタが不導通となって補助電源から第2トランジスタを通して制御回路に電力が供給される。

【0019】また、過電流動作時に補助電源の電圧が低下した場合には、再び第1トランジスタが導通して主電源から第1トランジスタと第2トランジスタを通して制御回路に電力が供給される。

【0020】請求項3に記載の発明は、前記電圧素子はダイオード、ツェナーダイオードまたは抵抗器からなるものである。

【0021】この発明は、電圧素子がダイオードの場合には、その順方向電圧降下により所定のバイアス電圧が得られる。電圧素子がツェナーダイオードの場合には、そのツェナー電圧により所定のバイアス電圧が得られる。電圧素子が抵抗器の場合には、その電圧降下により所定のバイアス電圧が得られる。

【0022】

【発明の実施の形態】以下に、図1を参照して本発明の第1実施例のスイッチング電源10について説明する。1は直流の主電源で、この主電源1のプラス端子とマイナス端子との間には、バイアス用抵抗器R1、電圧素子2およびツェナーダイオードZdの直列回路からなる固定バイアス回路が接続される。この主電源1のマイナス端子は基準電位（グラウンド電位）を与える端子となる。電圧素子2は、後述するが、ダイオード、抵抗器、ツェナーダイオードなどよりなり、ダイオードの場合には順方向降下電圧（約0.7V）を、抵抗器の場合には降下電圧を、ツェナーダイオードの場合にはツェナー電圧をバイアス電圧として利用するものである。

【0023】また、主電源1のプラス端子にはコレクタ用抵抗器R2を介してNPN型の第1トランジスタQ1のコレクタが接続され、そのエミッタはNPN形の第2トランジスタQ2のコレクタに接続される。そして、第1トランジスタQ1と第2トランジスタQ2の接続点は、後述の補助電源41のプラス端子に接続される。トランジスタQ2のエミッタと主電源1のマイナス端子との間には、制御回路3が接続される。第1トランジスタQ1のベースは、バイアス用抵抗器R1と電圧素子2との接続点に接続される。また第2トランジスタQ2のベースは、電圧素子2とツェナーダイオードZdのカソードとの接続点に接続される。制御回路3の出力端子は、電力変換回路4の、後述するスイッチング素子の入力端子に接続される。この制御回路3は、電力変換回路4のスイッチング素子をデューティ制御あるいは周波数制御して、主電源1の導通時間を制御して電力変換回路4を動作させ、スイッチング電源の出力電圧を一定電圧に制御するものである。

【0024】電力変換回路4は、後述するように、一次、二次および三次巻線（補助巻線）を有するトランスと、スイッチング素子、メインの整流平滑回路と、サブの整流平滑回路と、よりなる。補助電源41は、3次巻線とサブの整流回路から構成される。そして、補助電源41のプラス端子は、前述のように、第1トランジスタ

Q1のエミッタと第2トランジスタQ2のコレクタとの接続点に接続され、マイナス端子は主電源1のマイナス端子に接続される。

【0025】そして、スイッチング電源10の補助電源回路は、図1に示した濃い塗り潰し部分よりなる。即ち、バイアス用抵抗器R1、電圧素子2およびツェナーダイオードZdからなる直列回路と、コレクタ用抵抗器R2、第1トランジスタQ1および第2トランジスタQ2からなる直列回路と、補助電源41とよりなる。

【0026】つぎに、図1に示すスイッチング電源30の補助電源回路の動作について説明する。図1において、図示しない電源スイッチをオンすると、主電源1の電圧がバイアス用抵抗器R1、電圧素子2およびツェナーダイオードZdで分圧される。ツェナーダイオードZdは第2トランジスタQ2のベースにバイアス電圧Vzを与え、またツェナー電圧と電圧素子2の両端電圧の加算電圧V1は第1トランジスタQ1のベースのバイアス電圧となり、これにより第1トランジスタQ1と第2トランジスタQ2とが導通する。そして、制御回路3には、主電源1からコレクタ用抵抗器R2、第1トランジスタQ1および第2トランジスタQ2を通して電力が供給され、制御回路3が立上がり、電力変換回路4が動作する。この動作により、電力変換回路4の後述するメインの整流平滑回路は負荷5に電力を供給し、また、補助電源41も立ち上がってその出力電圧が上昇する。そして、この補助電源41の出力電圧V2と第1トランジスタQ1のベースに加わるバイアス電圧V1との電圧差（ $V1 - V2$ ）が切替電圧Vs（例えば0.7V）以下になると、第1トランジスタQ1が不導通となり、制御回路3には主電源1に代わって補助電源41から電力が供給される。即ち、補助電源41の電圧V2が第1トランジスタQ1のバイアス電圧V1より切替電圧Vs以下に低くなる場合には、主電源1から電力を制御回路3に供給し、補助電源41の電圧V2がバイアス電圧V1より切替電圧Vs以上に高い場合には、補助電源41から電力を制御回路3に供給する。

【0027】このように、第1トランジスタQ1は、バイアス電圧V1と補助電源41の出力電圧V2とを比較して、制御回路3への電力供給源を選択する役割を持っている。このような第1トランジスタQ1の切り替え動作により、スイッチング電源の動作モード、即ち主電源1から制御回路3に電力を供給する場合、或いは補助電源41から制御回路3に電力を供給する場合のいずれに拘わらず、一定のツェナー電圧をバイアス電圧とする第2トランジスタQ2が制御回路3への供給電圧を決めており、一定の安定した電圧が制御回路3に加えられる。従って、耐圧に余裕のない部品および許容差の小さい部品でも制御回路3に利用することができる。

【0028】以上のように、起動時には主電源1から制御回路3に電力を供給して起動を確実にし、定常動作

時には主電源1より電圧の低い補助電源41から制御回路3に電力を供給して定常時の電力損失を低減することができるので、スイッチング電源の高効率動作を可能にする。

【0029】つぎに、図1に示すスイッチング電源10の、特に補助電源回路の一つの具体的実施例として、定電圧出力のフォワードコンバータに適用したスイッチング電源10aについて、図2を参照して説明する。同図において、図1と同一部分には同一番号を付してその説明を援用する。2aはダイオードで、図1に示す電圧素子2の一つの具体例を示すもので、第1トランジスタQ1と第2トランジスタQ2のベース間に接続されて、ダイオード2aの順方向電圧降下により第1トランジスタQ1のバイアス電圧を第2トランジスタQ2のバイアス電圧より約0.7V高くしている。

【0030】電力変換回路4は、スイッチング素子としての電界効果トランジスタQ3と、1次巻線n1、2次巻線n2および3次巻線n3よりなるトランス4aと、メインの整流平滑回路42aと、前記3次巻線n3を含み、補助電源41の具体例としてのサブの整流平滑回路41aと、からなる。

【0031】制御回路3の出力端子はトランジスタQ3のゲートに接続される。トランジスタQ3のドレインは、1次巻線n1の巻き始め端に接続され、ソースは主電源1のマイナス端子に接続される。1次巻線n1の巻き終り端は主電源1のプラス端子に接続される。メインの整流平滑回路42aは、トランス4aの2次巻線n2側に接続されたダイオードD1、D2、インダクタL1、コンデンサC3よりなるチョークインプット形の整流平滑回路からなり、負荷5に直流電力を供給する。

【0032】また、サブの整流平滑回路41aは、メインの整流平滑回路42aと同様の回路構成で、トランス4aの3次巻線n3の両端に接続されたダイオードD3、D4、インダクタL2、コンデンサC2よりなるチョークインプット形の整流平滑回路からなる。3次巻線n3の巻き終り端は整流平滑回路41aのプラス側の出力端子として、第1トランジスタQ1のエミッタと第2トランジスタQ2のコレクタの接続点に接続され、また、3次巻線n3の巻き始め端は整流平滑回路41aの整流ダイオードD3およびチョールコイルL2を介して主電源1のマイナス端子に接続される。この回路構成にて第2トランジスタQ2を介して制御回路3に定常時電力を供給する。

【0033】本実施例のスイッチング電源10aの補助電源回路の動作は図1に示す実施例と同様である。ただ、スイッチング電源10aの出力の過電流時に、図示しない過電流保護回路が作動して出力電圧が低下した場合、3次巻線(補助巻線)n3の出力電圧もそれに比例して低下して整流平滑回路41a(補助電源41)の出力電圧が降下する。これにより、第1トランジスタQ1

がオンして主電源1から制御回路3に電力が供給される。しかし、この動作モードにおいても、制御回路3への供給電圧は、第2トランジスタQ2によって安定化されているので、定常時と変わらない。

【0034】つぎに、図1に示すスイッチング電源10の補助電源回路の他の具体的実施例として、定電圧出力のフライバックコンバータに適用したスイッチング電源10bの補助電源回路について、図3を参照して説明する。同図において、図1と同一部分には同一番号を付してその説明を援用する。2bはバイアス用抵抗器で、図1に示す電圧素子2の他の具体例を示すもので、第1トランジスタQ1と第2トランジスタQ2のベース間に接続されて、バイアス用抵抗器2bの電圧降下により第1トランジスタQ1のバイアス電圧を第2トランジスタQ2のバイアス電圧より一定電圧だけ高くしている。

【0035】電力変換回路4は、スイッチング素子としての電界効果トランジスタQ3と、1次巻線n1、2次巻線n2および3次巻線n3よりなるトランス4aと、メインの整流平滑回路42bと、補助電源41の他の具体例としてのサブの整流平滑回路41bと、からなる。

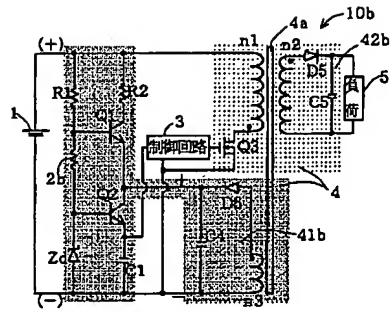
【0036】電界効果トランジスタQ3の接続の態様は図2記載の実施例と同様である。メインの整流平滑回路42bは、トランス4aの2次巻線n2側に接続されたダイオードD5とコンデンサC5とよりなるコンデンサインプット形の整流平滑回路からなり、負荷5に直流電圧を供給する。

【0037】また、サブの整流平滑回路41bは、メインの整流平滑回路42bと同様の回路構成で、トランス4aの3次巻線n3側に接続されたダイオードD6とコンデンサC4とよりなるコンデンサインプット形の整流平滑回路からなる。3次巻線n3の巻き始め端は、整流平滑回路41bのプラス側の出力端子として、ダイオードD6を介して、第1トランジスタQ1のエミッタと第2トランジスタQ2のコレクタの接続点に接続され、また、3次巻線n3の巻き終り端は主電源1のマイナス端子に接続される。この回路構成にて第2トランジスタQ2を介して制御回路3に定常時電力を供給する。本実施例のスイッチング電源10bの補助電源回路の動作は図1および図2に示す実施例と同様である。

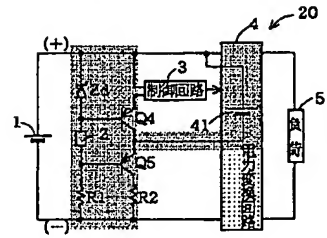
【0038】つぎに、図4を参照して本発明の他の実施例のスイッチング電源20の補助電源回路について説明する。図4に示す実施例は、図1に示す実施例が第1トランジスタQ1および第2トランジスタQ2として、NPN形のトランジスタを使用しているのに対し、第1トランジスタQ4および第2トランジスタQ5として、PNP形のトランジスタを使用し、主電源1のプラス端子側を基準電位(グランド電位)にしている。図1に示す回路との相違点を簡略に述べると、ツェナーダイオードZdのカソードが主電源1のプラス端子に接続され、バイアス用抵抗器R1が主電源1のマイナス端子に接続さ



【図3】



【図4】



【図5】

